

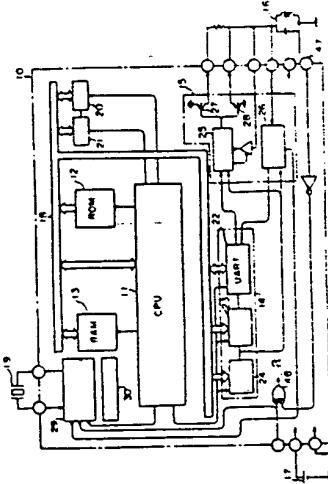
JP 403262089 A  
NOV 1991

## (54) NONCONTACT TYPE IC CARD

(11) 3-262089 (A) (43) 21.11.1991 (19) JP  
(21) Appl. No. 2-59928 (22) 13.3.1990  
(71) MITSUBISHI ELECTRIC CORP (72) KENICHI TAKAHIRA  
(51) Int. Cl<sup>s</sup>. G06K19/07, B42D15/10

**PURPOSE:** To surely receive a request signal from an external device while suppressing the consumption of a battery by starting a clock generating means when a detecting means detects a trigger signal from a signal received by a data transmitting/receiving means.

**CONSTITUTION:** The noncontact type IC card is provided with the data transmitting/receiving means 16 for contactlessly transmitting/receiving data to/from the external, the detecting means 26 for detecting a trigger signal from a received signal, a data processing means 11, the clock generating means 29 for supplying a clock signal to the means 11, a starting means 26 for starting the means 29 upon detection of trigger signal, and the battery 17 for supplying power to respective means. Consequently, a request signal from the external device can surely be received while suppressing the consumption of the incorporated battery 17.



20: timer. 21: prescaler. 23: baud rate generator. 24: carrier generator. 25: modulating circuit. 26: demodulating circuit. 30: monitoring timer. R: reset signal

## ⑪ 公開特許公報 (A) 平3-262089

⑫ Int.Cl.<sup>5</sup>G 06 K 19/07  
B 42 D 15/10

識別記号

521

庁内整理番号

6548-2C  
6711-5L

⑬ 公開 平成3年(1991)11月21日

G 06 K 19/00

H

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 非接触型 I C カード

⑮ 特 願 平2-59928

⑯ 出 願 平2(1990)3月13日

⑰ 発 明 者 高 比 良 賢 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹  
製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 曽我道照 外5名

## 明細書

## 1. 発明の名称

非接触型 I C カード

## 2. 特許請求の範囲

(1) 外部とのデータの送受信を非接触で行うためのデータ送受信手段と、

前記データ送受信手段で受信された信号からトリガ信号を検出する検出手段と、

前記データ送受信手段に接続されると共にデータを処理するためのデータ処理手段と、

前記データ処理手段にクロック信号を供給するためのクロック発生手段と、

前記検出手段がトリガ信号を検出すると前記クロック発生手段を起動させる起動手段と、

前記各手段に電源を供給するための電池と  
を備えたことを特徴とする非接触型 I C カード。

(2) 外部とのデータの送受信を非接触で行うためのデータ送受信手段と、

前記データ送受信手段で受信された信号からトリガ信号を検出する検出手段と、

前記データ送受信手段に接続されると共にデータを処理するためのデータ処理手段と、

前記データ処理手段にクロック信号を供給するためのクロック発生手段と、

前記検出手段がトリガ信号を検出すると前記クロック発生手段を起動させる起動手段と、

前記データ処理手段が前記起動手段により起動された前記クロック発生手段からクロック信号を入力して所定の処理を実行した後に前記クロック発生手段を停止させる第1の停止手段と、

前記各手段に電源を供給するための電池と  
を備えたことを特徴とする非接触型 I C カード。

(3) 外部とのデータの送受信を非接触で行うためのデータ送受信手段と、

前記データ送受信手段で受信された信号からトリガ信号の立ち上がりエッジを検出する検出手段と、

前記データ送受信手段に接続され且つデータを処理されると共に前記データ送受信手段でトリガ信号を受信するとそれに対応する応答信号を前記デ

データ送受信手段を介して外部に送信するためのデータ処理手段と、

前記データ処理手段にクロック信号を供給するためのクロック発生手段と、

前記検出手段がトリガ信号を検出すると前記クロック発生手段を起動させる起動手段と、

前記データ処理手段が前記起動手段により起動された前記クロック発生手段からクロック信号を入力して所定の処理を実行した後に前記クロック発生手段を停止させる第1の停止手段と、

前記データ処理手段が前記データ送受信手段を介して前記応答信号を送信してからそれに続くデータを前記データ送受信手段が受信するまでの所要時間を計測する計測手段と、

前記計測手段で計測された所要時間が所定値を超えたときに前記クロック発生手段を停止させる第2の停止手段と、

前記各手段に電源を供給するための電池とを備えたことを特徴とする非接触型ICカード。

### 3. 発明の詳細な説明

このようなICカードでは、外部装置からの電磁波による要求信号がアンテナ(6)で受信されると、この要求信号は変復調回路(5)で復調された後、入出力制御回路(4)を介してCPU(1)に入力される。CPU(1)は要求信号を解読し、所定の応答信号を作成する。この応答信号は入出力制御回路(4)を介して変復調回路(5)に入力され、ここで変調された後、アンテナ(6)から外部装置に発信される。

#### [発明が解決しようとする課題]

しかしながら、ICカードが外部装置からの要求信号を受信処理するためには、CPU(1)及び変復調回路(5)等を常時待機状態で動作させておく必要がある。従って、CPU(1)及び変復調回路(5)等を動作させておくために常時電力を消費しており、内蔵の電池(7)の消耗が激しいという問題点があった。

この発明はこのような問題点を解消するためになされたもので、内蔵された電池の消耗を抑制しつつも外部装置からの要求信号を確実に受信処理

#### [産業上の利用分野]

この発明は、非接触型ICカードに係り、特に受信待機時の消費電力を抑制する駆動方式に関する。

#### [従来の技術]

近年、ICカードの中でカード表面に外部電極を持たない非接触型ICカードが注目されている。非接触型ICカードは、外部電極を有する通常のICカードと同様に外部装置との間で信号の授受を行うが、この信号の授受を電磁波、光、磁気等の空間伝送媒体を利用して行うものである。

従来の非接触型ICカードの構成を第5図に示す。ICカードの動作を制御するCPU(1)にバス(8)を介してROM(2)及びRAM(3)が接続されている。バス(8)には外部装置とのデータの出入力を制御する入出力制御回路(4)が接続され、入出力制御回路(4)には変復調回路(5)を介してアンテナ(6)が接続されている。さらに、ICカードには、各電気回路に電源を供給するための電池(7)が格納されている。

することのできる非接触型ICカードを提供することを目的とする。

#### [課題を解決するための手段]

請求項1に記載の非接触型ICカードは、外部とのデータの送受信を非接触で行うためのデータ送受信手段と、データ送受信手段で受信された信号からトリガ信号を検出する検出手段と、データ送受信手段に接続されると共にデータを処理するためのデータ処理手段と、データ処理手段にクロック信号を供給するためのクロック発生手段と、検出手段がトリガ信号を検出するとクロック発生手段を起動させる起動手段と、各手段に電源を供給するための電池とを備えたものである。

また、請求項2に記載の非接触型ICカードは、外部とのデータの送受信を非接触で行うためのデータ送受信手段と、データ送受信手段で受信された信号からトリガ信号を検出する検出手段と、データ送受信手段に接続されると共にデータを処理するためのデータ処理手段と、データ処理手段にクロック信号を供給するためのクロック発生手段

と、検出手段がトリガ信号を検出するとクロック発生手段を起動させる起動手段と、データ処理手段が起動手段により起動されたクロック発生手段からクロック信号を入力して所定の処理を実行した後にクロック発生手段を停止させる第1の停止手段と、各手段に電源を供給するための電池とを備えたものである。

さらに、請求項3に記載の非接触型ICカードは、外部とのデータの送受信を非接触で行うためのデータ送受信手段と、データ送受信手段で受信された信号からトリガ信号の立ち上がりエッジを検出する検出手段と、データ送受信手段に接続され且つデータを処理すると共にデータ送受信手段でトリガ信号を受信するとそれに対応する応答信号をデータ送受信手段を介して外部に送信するためのデータ処理手段と、データ処理手段にクロック信号を供給するためのクロック発生手段と、検出手段がトリガ信号を検出するとクロック発生手段を起動させる起動手段と、データ処理手段が起動手段により起動されたクロック発生手段からク

ロック信号を入力して所定の処理を実行した後にクロック発生手段を停止させる第1の停止手段と、データ処理手段がデータ送受信手段を介して応答信号を送信してからそれに続くデータをデータ送受信手段が受信するまでの所要時間を計測する計測手段と、計測手段で計測された所要時間が所定値を超えたときにクロック発生手段を停止させる第2の停止手段と、各手段に電源を供給するための電池とを備えたものである。

#### 〔作用〕

請求項1に記載の非接触型ICカードでは、検出手段が受信信号からトリガ信号を検出すると、起動手段によりクロック発生手段が起動され、データ処理手段にクロック信号が供給される。

請求項2に記載の非接触型ICカードでは、さらに、データ処理手段が所定の処理を実行した後に第1の停止手段がクロック発生手段を停止させる。

請求項3に記載の非接触型ICカードでは、データ処理手段が所定の処理を実行した後には第1

の停止手段がクロック発生手段を停止させ、トリガ信号に対応する応答信号を送信してからそれに続くデータの受信までの所要時間が所定値を超えた場合には第2の停止手段がクロック発生手段を停止させる。

#### 〔実施例〕

以下、この発明の実施例を添付図面に基づいて説明する。

第1図はこの発明の一実施例に係る非接触型ICカードの構成を示すブロック図である。このICカードはIC(10)を有しており、IC(10)にアンテナ回路(16)、電池(17)及び水晶振動子(19)が接続されている。IC(10)はバス(18)に接続されたCPU(11)を有している。バス(18)には、CPU(11)の動作制御のためのプログラムを記憶するROM(12)、データを記憶するためのRAM(13)及び外部装置(図示せず)とのデータの入出力を制御する入出力制御回路(14)がそれぞれ接続されている。さらに、バス(18)には、内部クロックを分周してカウントするタイマ(20)とこのタイマ(20)

の初期値を設定するプリスケーラ(21)とが接続されている。

入出力制御回路(14)は、シリアル非同期のデータ伝送を行うUART(22)、UART(22)の伝送速度を設定するボーレート・ジェネレータ(23)及び搬送波を生成する搬送波ジェネレータ(24)を備えている。この入出力制御回路(14)には変復調回路(15)が接続され、この変復調回路(15)にアンテナ回路(16)が接続されている。変復調回路(15)には、UART(22)の出力を搬送波で変調する変調回路(25)、アンテナ回路(16)からの入力信号を復調する復調回路(26)、アンテナ回路(16)を駆動するための出力トランジスタ(27)及び(28)が設けられている。

また、CPU(11)及び変復調回路(15)の復調回路(26)にはIC(10)内の各回路にクロック信号を供給するクロック発生回路(29)が接続されている。このクロック発生回路(29)は、IC(10)外部の水晶振動子(19)に接続されている。尚、(30)はCPU(11)の暴走を監視するための監視タイマである。

変復調回路(15)及びアンテナ回路(16)によりデータ送受信手段が、CPU(11)によりデータ処理手段が、水晶振動子(19)及びクロック発生回路(29)によりクロック発生手段が、タイマ(20)及びプリスケーラ(21)により計測手段がそれぞれ構成されている。

第2図に変復調回路(15)の復調回路(26)の内部構成を示す。検波信号の振幅を比較する第1及び第2のコンパレータ(31)及び(32)がそれぞれ入力信号復調回路(33)及び波形成形回路(34)に接続されている。第1のコンパレータ(31)には要求信号を検出するためのしきい値 $V_{t1}$ が、第2のコンパレータ(32)にはトリガ信号を検出するためのしきい値 $V_{t2}$ がそれぞれ設定されている。これらのしきい値 $V_{t1}$ 及び $V_{t2}$ は、要求信号のレベル $V_{s1}$ 及びトリガ信号のレベル $V_{s2}$ に対して、

$$V_{t1} < V_{s1} < V_{t2} < V_{s2} \quad \dots [1]$$

の関係が成り立つように設計されている。

また、入力信号復調回路(33)はUART(22)に接続され、波形成形回路(34)はクロック発生回路

(29)に接続されている。

第2のコンパレータ(32)及び波形成形回路(34)によりトリガ信号を検出する検出手段が構成されている。

クロック発生回路(29)の内部構成を第3図に示す。第1のフリップフロップ(35)の出力端子Qにオア回路(36)を介して第2のフリップフロップ(37)のセット端子Sが接続されている。この第2のフリップフロップ(37)の出力端子Qは、ノア回路(38)を介して第1のフリップフロップ(35)のリセット端子Rに接続される一方、 NAND回路(39)、1/2分周器(40)、(41)及びNAND回路(42)を介してCPU(11)等のIC(10)内の各回路に接続されている。また、1/2分周器(40)の出力は1/8分周器(43)、プリスケーラ(44)及びタイマ(45)を介して第3のフリップフロップ(46)のセット端子Sに接続され、このフリップフロップ(46)の出力端子QがNAND回路(42)に接続されている。さらに、NAND回路(39)には水晶振動子(19)が接続されている。

第1及び第2のフリップフロップ(35)及び(37)、オア回路(36)、ノア回路(38)及びNAND回路(39)により起動手段、第1及び第2の停止手段が構成されている。

次に、実施例の動作を説明する。まず、第1図において、CPU(11)は外部装置(図示せず)からのトリガ信号を受信するまでの待機状態にあってはSTOP命令をクロック発生回路(29)に出力し、これにより内部クロックの発生を停止させている。

外部装置がトリガ信号とそれに引き続く要求信号とを送信すると、アンテナ回路(16)を経由して受信された信号は変復調回路(15)の復調回路(26)でトリガ信号か要求信号かの識別が行われる。尚、受信されたトリガ信号と要求信号とはそれぞれ上記の[1]式に示されるようなレベル $V_{s1}$ 及び $V_{s2}$ を有している。始めにトリガ信号が受信されると、トリガ信号のレベル $V_{s2}$ は第2図の第2のコンパレータ(32)のしきい値 $V_{t2}$ より大きいので、この第2のコンパレータ(32)から波形成形回路(34)を介してクロック発生回路(29)にトリガ信号パルス

が出力される。

トリガ信号パルスは第3図の第1のフリップフロップ(35)のトリガ端子Tに入力する。フリップフロップ(35)は、トリガ信号パルスの立ち上がりエッジを検出して出力端子Qからオア回路(36)を介し第2のフリップフロップ(37)のセット端子Sに“H”レベルの信号を出力する。このため、第2のフリップフロップ(37)は出力端子Qから“H”レベルの発振制御信号をNAND回路(39)に出力する。これにより、水晶振動子(19)による発振が開始され、NAND回路(39)の出力は1/2分周器(40)及び(41)により1/4に分周されてNAND回路(42)からIC(10)内の各回路に内部クロックとして出力される。尚、実際には、発振波形が安定するまでの遷延をかけるために、1/8分周器(43)、プリスケーラ(44)、タイマ(45)及び第3のフリップフロップ(46)が作用して、水晶振動子(19)による発振開始からタイマ(45)に設定された所定時間が経過した後に内部クロックが出力される。

このようにして内部クロックが起動すると、C

P U (11)は第1図のR O M (12)からプログラムを読み取り、第4図に示すフローチャートに従ってデータ処理を実行する。ステップS1で、要求信号受信監視用のタイマ(20)及びプリスケーラ(21)の内容を初期化する。次に、ステップS2で、トリガ信号に対する応答信号を入出力制御回路(14)、変復調回路(15)及びアンテナ回路(16)を介して外部装置へ送信する。

その後、ステップS3で、タイマ(20)及びプリスケーラ(21)をイネーブル状態にしてタイマ(20)のカウントを開始させる。そして、ステップS4で、U A R T (22)の状態によりデータが復調回路(26)を介して入力されたか否かを確認する。データの入力を確認した場合には、ステップS5で、U A R T (22)から受信内容を読み取り、データが要求信号か否かの判定を行う。要求信号は、少なくとも8ビットのデータ列であり、所定の長さの読み取りが必要である。

ステップS5において要求信号であると判定した場合には、ステップS6に進んで要求信号に対する

内部処理を実行した後、ステップS7で応答信号を外部装置へ送信する。送信が完了すると、ステップS8でS T P命令をクロック発生回路(29)に出力する。このS T P命令は、第3図の第2及び第3のフリップフロップ(37)及び(46)のリセット端子Rに入力し、これらフリップフロップ(37)及び(46)の出力端子Qを“L”レベルとする。これにより、 NAND回路(39)及び(42)が閉成され、水晶振動子(19)の発振及び内部クロックの出力が停止される。

一方、ステップS4でU A R T (22)へのデータの入力が確認されない場合、あるいはステップS5で要求信号ではないと判定した場合には、ステップS9でタイマ(20)のオーバーフローを確認する。オーバーフローしていないときにはステップS4に戻って再度U A R T (22)へのデータ入力を確認する。ところが、オーバーフローしたときには、トリガ信号の受信から要求信号の受信までの所要時間が長過ぎて異常であると判断してステップS10でタイマ(20)のカウントを停止した後、ステップS8に

進んでS T P命令を実行し内部クロックを停止する。

この後、再度内部クロックを起動してC P U (11)を作動させるためには、外部装置からトリガ信号を受信するか、あるいは第1図に示すI C (10)のリセット端子(47)からオア回路(48)を介してクロック発生回路(29)にリセット信号を入力しなければならない。

リセット端子(47)からリセット信号を入力すると、リセット信号は第3図のノア回路(38)を介して第1のフリップフロップ(35)のリセット端子Rに入力されると共にオア回路(36)を介して第2のフリップフロップ(37)のセット端子Sに入力される。

また、ノア回路(38)には、リセット信号と第2のフリップフロップ(37)のQ出力である発振制御信号の他、トリガを禁止するためのトリガ禁止フラグ信号も入力可能であり、このノア回路(38)を経由した第1のフリップフロップ(35)へのリセット入力が“L”レベルのときにはトリガ信号パルス

は無効となる。

第1のフリップフロップ(35)はトリガ信号パルスの立ち上がりエッジを検出して出力端子Qから“H”レベルの信号を出力するので、異常に長いトリガ信号パルスを受信した場合、すなわちトリガ信号がパルス状にならずに“H”レベルのままになった場合、タイマ(20)のオーバーフローによりC P U (11)がS T P命令を実行した後は、トリガ信号が一旦“L”レベルにならないと第1のフリップフロップ(35)はセットされない。従って、確実に内部クロックの発振を停止することができる。

#### 〔発明の効果〕

以上説明したように、請求項1に記載の非接触型I Cカードでは、外部とのデータの送受信を非接触で行うためのデータ送受信手段と、データ送受信手段で受信された信号からトリガ信号を検出する検出手段と、データ送受信手段に接続されると共にデータを処理するためのデータ処理手段と、データ処理手段にクロック信号を供給するためのクロック発生手段と、検出手段がトリガ信号を検

出するとクロック発生手段を起動させる起動手段と、各手段に電源を供給するための電池とを備えているので、電池の消耗を抑制しつつも外部装置からの要求信号を確実に受信処理することができる。

請求項2に記載の非接触型ICカードでは、請求項1のICカードの構成要素に加えて、さらにデータ処理手段が起動手段により起動されたクロック発生手段からクロック信号を入力して所定の処理を実行した後にクロック発生手段を停止させる第1の停止手段を備えているので、消費電力の抑制がなお一層図られる。

また、請求項3に記載の非接触型ICカードでは、請求項2のICカードの構成要素に加えて、さらにデータ処理手段がデータ送受信手段を介して応答信号を送信してからそれに続くデータをデータ送受信手段が受信するまでの所要時間を計測する計測手段と、計測手段で計測された所要時間が所定値を超えたときにクロック発生手段を停止させる第2の停止手段とを備えているので、トリ

ガ信号の試験出等に対しても電池の無駄な消耗を防止することが可能となる。

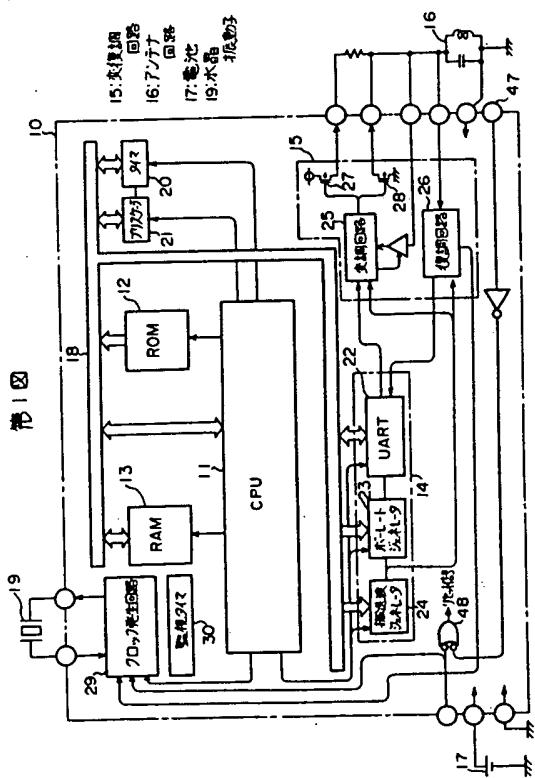
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例に係る非接触型ICカードの構成を示すブロック図、第2図は復調回路の内部構成を示すブロック図、第3図はクロック発生回路の内部構成を示すブロック図、第4図は実施例の動作を示すフローチャート図、第5図は従来の非接触型ICカードの構成を示すブロック図である。

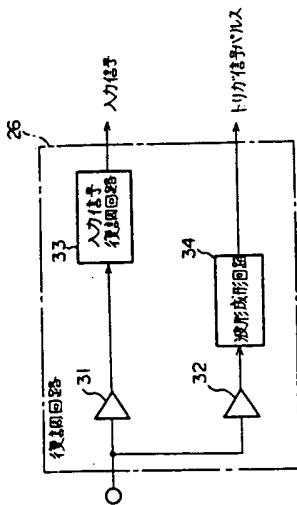
図において、(11)はCPU、(15)は変復調回路、(16)はアンテナ回路、(17)は電池、(19)は水晶振動子、(20)はタイマ、(21)はアリスケーラ、(29)はクロック発生回路、(32)はコンバレータ、(34)は波形形成回路、(35)及び(37)はフリップフロップ、(36)はオア回路、(38)はブア回路、(39)は NAND回路である。

なお、各図中同一符号は同一または相当部分を示す。

代理人 曽我道照



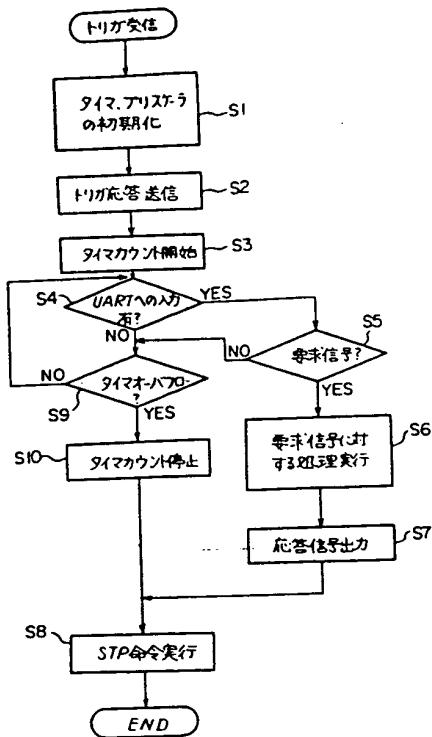
第1図



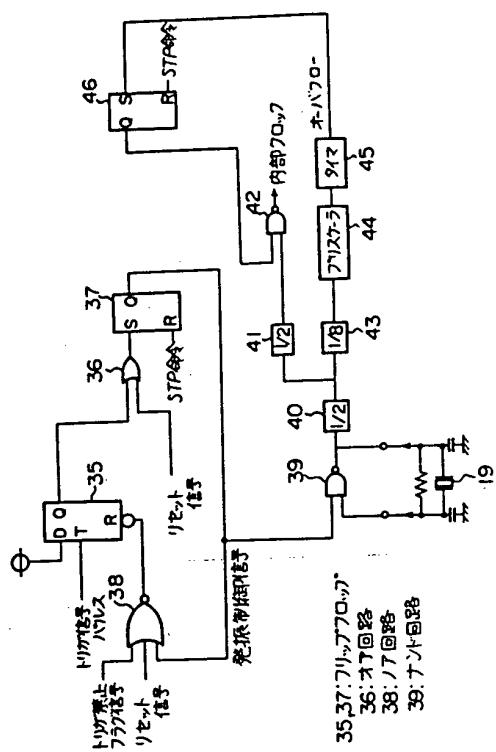
第2図

32:コンバレータ  
34:波形形成回路

第4図



第3図



第5図

